

Requested Patent: JP2002280552A

Title:

STRUCTURE AND METHOD OF MOS TRANSISTOR HAVING INCREASED  
SUBSTRATE RESISTANCE ;

Abstracted Patent: EP1225636 ;

Publication Date: 2002-07-24 ;

Inventor(s): WU ZHIQIANG (US); HU CHE-JEN (US); SALLING CRAIG T (US) ;

Applicant(s): TEXAS INSTRUMENTS INC (US) ;

Application Number: EP20020100045 20020121 ;

Priority Number(s): US20010263619P 20010123 ;

IPC Classification: H01L27/02; H01L21/336 ;

Equivalents: ;

**ABSTRACT:**

Structure and fabrication method of a lateral MOS transistor 1000, positioned on the surface of an integrated circuit fabricated in a semiconductor 1003 of a first conductivity type, comprising a source and a drain, each having at the surface a region of the opposite conductivity type extending to the centrally located gate 1005, defining the active area of said transistor; and a semiconductor region 1050 within said semiconductor of the first conductivity type, having a resistivity higher than the remainder of the semiconductor, this region 1050 extending vertically below the transistor while laterally limited to the area of the transistor such that the resistivity under the gate 1005 is different from the resistivity under the source and drain regions.

(11)特許出願公開番号

特開2002-280552

(P2002-280552A)

(43)公開日 平成14年9月27日(2002.9.27)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テープ・コード(参考)

H01L 29/78

✓

H01L 27/06

311A 5F048

27/06

311

29/78

301K 5F140

審査請求 未請求 請求項の数2 OL (全 13 頁)

(21)出願番号 特願2002-14180(P2002-14180)

(22)出願日 平成14年1月23日(2002.1.23)

(31)優先權主張番号 263619

(32)優先日 平成13年1月23日(2001.1.23)

(33)優先権主張国 米国 (US)

(71)出願人 501229528

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国、テキサス、ダラス、チャ  
ーチル ウエイ 7839

(72)発明者 クレイグ ティー、サリング

アメリカ合衆国 テキサス、プラノ、 チャッツワース レイン 1404

(72)発明者 ザイキアング ウー

アメリカ合衆国 テキサス、プラノ、ミ  
ルデンホール ドライブ 4012

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

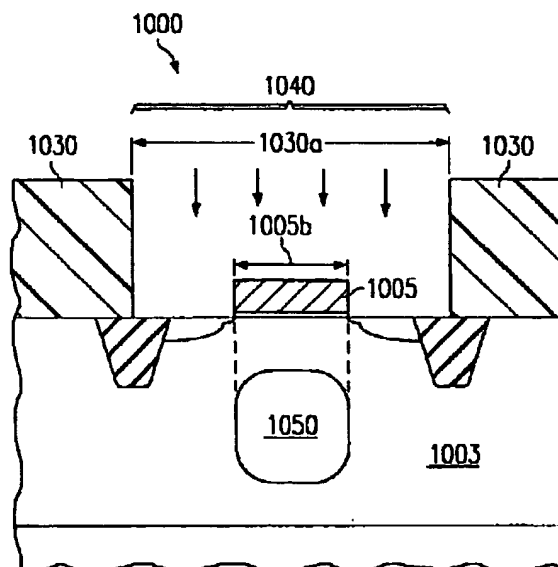
**最終頁に続く**

(54) 【発明の名称】 増大した基板抵抗値を有するMOSトランジスタの構造体とその製造法

(57) 【要約】

【課題】 基板の抵抗値が高く静電気放電に対する耐性が高いMOSトランジスタの構造体およびその製造法を提供する。

【解決手段】 第1導電形の半導体1003の中に製造された集積回路の表面の上に配置された横型MOSトランジスタ1000の構造体およびその製造法が提供される。横型MOSトランジスタ1000はソースおよびドレインを有し、そのおのおのは、中央に配置されたゲート1005にまで延長されそして前記トランジスタの活性領域を定める、反対の導電形の領域をその表面に有する。第1導電形の前記半導体の中の半導体領域1050は、半導体の残りの部分よりも大きな抵抗率を有する。この領域1050はトランジスタの下で垂直方向に延長されているが、しかしゲート1005の下の抵抗率がソース領域およびドレイン領域の下の抵抗率からは異なるように、横方向にはトランジスタの領域に限定されている。



## 【特許請求の範囲】

【請求項1】 第1導電形の半導体の中に製造され、少なくとも1個の横型MOSTランジスタを表面に有する集積回路であって、

中央に配置されたゲートにまで延長された反対の導電形の領域を前記表面におのおのが有し、そして前記ランジスタの活性領域を定めるソースおよびドレインと、前記半導体の残りの部分よりも大きな抵抗率を有し、前記ランジスタの下で垂直方向に延長されているがしかし一方において前記ゲートの下の抵抗率が前記ソースおよび前記ドレインの下の抵抗率と異なるように横方向には前記ランジスタの面積領域に限定されている、前記第1導電形の前記半導体の中の半導体領域と、を有する集積回路。

【請求項2】 ゲートを備えた高電圧NMOSTランジスタの活性領域の下のP形半導体の抵抗率を増大する方法であって、

前記ランジスタの上にフォトレジスト層を沈着する段階、および前記ランジスタの前記活性領域の上の前記層に窓を開ける段階と、

前記ランジスタの前記活性領域から離れた前記P形半導体の添加不純物量よりも小さな正味のP形添加不純物量を有する深い領域を生成するために、前記P形半導体の中に前記窓を通してN形不純物を高エネルギーで注入する段階と、を有する方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は全体的に言えば、電子システムおよび半導体デバイスの分野に関する。さらに詳細に言えば、本発明は標準的な技術に比べて増大した基板抵抗値を有するMOSTランジスタの構造体および製造法に関する。

## 【0002】

【発明が解決しようとする課題】集積回路(IC(Integrated circuit))は静電気放電(ESD(electrostatic discharge))が起こると重大な損傷を受けることがある。ICがESDを受ける主要な原因は、帯電した人体である(「人体モデル(Human Body Model)」、HBM)。人体の放電は、ICに対して約100ナノ秒の間数アンペアのピーク電流を発生する。ESDの第2の原因は金属物体からのものである(「機械モデル(machine model)」、MM)。ESDの原因であるMMは、HBMよりも大幅に速い立上がり時間を有する過渡現象を生ずることができる。第3の原因は「帯電したデバイス・モデル(charged device model)」、(CDM)」によって説明される。この場合には、ICそれ自身が帯電し、そしてHBMやMMによるESDとは反対の方向にアースに放電する。ESDの現象およびICの中における保護の方式に関するさらに詳細な説明は、A. アメラセケラ(A. Amerasekera)およびC. ドブリ(C. Duvvur

y)名の文献「シリコン集積回路のESD(ESD in Silicon Integrated Circuits)」(ジョン・ウイリ・アンド・サンズLTD(John Wiley & Sons LTD.)、ロンドン、1995年)、およびC. ドブリ(C. Duvvury)名の文献「ESD:ICチップの品質および信頼性に対する設計(ESD:Design for IC Chip Quality and Reliability)」(国際シンポジウム、E1設計における品質(Int. Symp. Quality in E1 Designs)、2000年、251頁-259頁;最新の文献のレファレンス)を参照されたい。

【0003】動作速度をますます速く、動作電圧をますます小さく、パッキング密度をますます大きく、そしてコストをますます安くするという要請はすべてのデバイスの寸法を縮小することに向った働くので、ICの中のESDの現象の重要性はますます大きくなってきている。このことは全体的に、誘電体層の厚さをますます薄くする、添加不純物濃度が変化する境界層の厚さをますます小さくしながら添加不純物濃度をますます大きくするおよび電界強度をますます大きくすることを意味する。これらすべての因子は、ESDが起こった時に損傷がますます生じやすくなるように働く。

【0004】金属・酸化物・半導体(MOS)ICにおいて用いられている最も普通の保護方式は、NMOSデバイスのドレインが保護されるべきピンに接続されそしてそのソースがアースに接続される場合、このNMOSデバイスに付随する寄生バイポーラ・ランジスタを頼りにしている。保護のレベルまたは故障の間値は、このNMOSデバイスのゲート酸化物の下のドレインからソースまでのNMOSデバイスの幅を変えることによって設定することができる。ストレス状態の下では、保護されたピン(pin)とアースとの間の主要な電流路は、このNMOSデバイスの寄生バイポーラ・ランジスタを含んでいる。この寄生バイポーラ・ランジスタは、アース・ストレスが起こることに関しピンが正の下で、スナップバック領域の中で動作する。

【0005】スナップバック状態の中で寄生バイポーラ・ランジスタとして動作するNMOS保護デバイスに見られる主要な故障のメカニズムは、第2ブレイクダウンの開始である。第2ブレイクダウンは、衝突イオン化電流の減少がキャリアの熱的発生によって相殺される場合にはいつでも、デバイスの中で熱的な暴走を誘起する現象である。第2ブレイクダウンは、自己加熱の結果としてストレスの下にあるデバイスの中で開始する。第2ブレイクダウンが開始するピークNMOSデバイス温度は、ストレス電流レベルと共に増大することが知られている。

【0006】ICをESDから保護するために、多くの回路が提案されそして実施されている。ICに対してESDに対する保護を改良するために用いられる1つの方法は、ICの上のESD保護回路の基板をバイアスすることである。このような基板バイアス作用は、ESD放

電をアースに流すのに用いられる多重フィンガMOSトランジスタの応答を改良するのに効果的である。けれども、この基板バイアス作用はデバイスに対する閾値電圧をそれらの名目値から変える原因となることがあり、そしてデバイスの動作に影響を与えることがある。それに加えて、定常状態の条件の下での基板バイアス作用は熱の発生の原因となり、そしてパワーの損失を増大する。

【0007】従来の技術において提案されている解決法は、付加的なIC素子、付加的なシリコンの面積領域、および/または付加的な処理工程段階（特に、フォトリソグラフィ整合段階）を必要とする。したがって、それらの製造のコストは高くなる。デバイスの構造とその製造法の例は、米国特許第5,539,233号（アメラセセラ（Amrasekera）ほか名の「ESD保護回路に対する制御された低コレクタ・ブレイクダウン電圧垂直型トランジスタ（Controlled Low Collector Breakdown Voltage Vertical Transistor for ESD Protection Circuits）」、1996年7月26日発行）、米国特許第5,793,083号（アメラセセラ（Amrasekera）ほか名の「静電気放電に対する大きな耐性を有する浅い接合、ケイ化物化されたNMOSTランジスタを設計する方法（Method for Designing Shallow Junction, Silicided NMOS Transistors with Decreased Electrostatic Discharge Sensitivity）」、1998年8月11日発行）、米国特許第5,940,258号（ドブリ（Duvvury）名の「半導体ESD保護回路（Semiconductor ESD Protection Circuit）」、1999年8月17日発行）、米国特許第6,137,144号（2000年10月24日発行）、および米国特許第6,143,594号（ツアオ（Tsao）ほか名の「デュアル電圧CMOSの中のオン・チップESD保護（On-Chip ESD Protection in Dual Voltage CMOS）」、2000年11月7日発行）、および出願中米国特許出願番号第09/456,036号（アメラセセラ（Amrasekera）ほか名の「静電気放電デバイスおよび方法（Electrostatic Discharge Device and Method）」、1999年12月3日発行）に開示されている。

【0008】デバイスのESD特性に及ぼす基板ウェルの形状の輪郭の影響は、例えば、K. ボック（K. Bock）、C. ラス（C. Russ）、G. バッデネス（G. Badenes）、G. グロセンケン（G. Groeseneken）、L. デファーム（L. Deferm）名の文献「完全にケイ化物化された0.25 $\mu$ mのCMOS技術のESD特性に及ぼすウェルの形状の輪郭およびゲート長の影響（Influence of Well Profile and Gate Length on the ESD Performance of a fully Silicided 0.25  $\mu$ m CMOS Technology）」（プロシーディングEOS/ESDシンポジウム（Proc. EOS/ESD Symp.）1997年、308頁-315頁）に調べられている。けれども、従来の技術は、P形ウェルの抵抗値を増加させる方法としてエピタキシャル不純物添加濃度を小さくするまたは注入照射量を小さくすることだけを推奨している。

【0009】コストを縮小するという挑戦は、処理工程段階の数を最小限にすること、特にフォトリソグラフィ整合段階の数を最小限にすること、および可能な場合には標準化された処理工程条件を適用することを推進することを意味する。望ましいデバイスの特性をすべて損なうことなくESDに対する耐性を改良するために、付加的な処理工程または新規な処理工程条件を提案する場合、これらの制約を心に留めておかなければならない。したがって、面積領域（real-estate）を付加的に使う保護デバイスを必要としないで、ESDに対する耐性を増強する整合した低コストの方法が緊急に要請されている。このデバイスの構造体により、優れた電気的特性および優れた機械的安定性および高い信頼度とがさらに得られなければならない。その製造法は単純であるべきであり、そしてなお種々の半導体製品および設計と処理工程の多種多様な変更に対して十分な順応性がなければならない。またこれらの新機軸の方法は、製造のサイクル時間を長くすることを伴うのではなく、そして現在設置されている装置を利用することができ、新たな投資をして新規の製造機械を設置しなくてもよいのでなければならない。

#### 【0010】

【課題を解決するための手段】横型MOSTランジスタの構造が説明される。この横型MOSTランジスタは、第1の導電形の半導体の中に製造された集積回路の表面に配置されており、そしてソースおよびドレインを有している。このソースおよびドレインのおおのほは、中央に配置されたゲートにまで延長されている反対の導電形の領域を集積回路の表面に有し、そして前記トランジスタの活性領域を定めている。第1の導電形の前記半導体の中の半導体領域は、半導体の残りの領域よりも大きな抵抗率を有している。この領域はトランジスタの下で垂直方向に延長されているが、一方、横方向にはトランジスタの面積領域に限定されている。この限定された面積領域では、ゲートの下の抵抗率がソース領域およびドレイン領域の下の抵抗率とは異なるように作成される。

#### 【0011】

【発明の実施の形態】本発明は、「第1」の導電形としてP形とN形の両方の半導体に適用することができる。半導体の抵抗率は、1 $\Omega$ cmから50 $\Omega$ cmまでの範囲内にあることが好ましい。この半導体は、さらに高い導電率の基板材料の上に沈着されたエピタキシャル層であることができる。

【0012】本発明の1つの特徴は、抵抗率の大きな領域はトランジスタの基板であり、それによりこのトランジスタは十分に機能することができるが、しかし隣接する活性領域の動作には影響を与えることはない。

【0013】本発明のまた別の特徴は、抵抗率の大きな領域は、ラッチ・アップに対する耐性を減少させることなく、または隣接するトランジスタに対する偶発的な基板電流誘起ボディ・バイアス作用を増大させることなく、

トランジスタのESD保護を改良することである。

【0014】ゲートを備えた高電圧NMOSTランジスタの活性領域の下に抵抗率の大きな領域を製造する方法は、トランジスタの上にフォトレジスト層を沈着する段階と、トランジスタの活性領域の上のこの層の中に窓を開ける段階と、次に、トランジスタのこの活性領域から離れているP形半導体の添加不純物量よりも小さな正味のP形添加不純物量を有する深い領域を生成するために、この窓を通してP形半導体基板の中にN形不純物のイオンを高エネルギーで注入する段階とを有する。

【0015】本発明の本質的な特徴は、この高エネルギーでのイオン注入は新規なフォトマスク段階を必要としないで実行されることである。それは、必要なフォトマスクはそれまでのイオン注入段階においてすでに生成されていて、単にそれを再び利用するだけであるからである。この経済的な特徴により、本発明の高エネルギーでイオンを注入するという付加的な段階のコストを非常に安いものにする。

【0016】本発明の技術的な特徴1つは、高エネルギーのイオン注入を実行するのに2つのオプションがあることである。この注入段階は、それまでの（トランジスタの延長されたソースおよび延長されたドレインを定めるために必要な）低エネルギーのイオンの注入段階の後に実行される、またはそれまでの（トランジスタの深いソースおよび深いドレインを定めるために必要な）中間エネルギーのイオンの注入段階の後に実行される、のいずれかであることができる。

【0017】本発明のまた別の技術的な特徴は、添加不純物のピーク濃度がP形半導体のものとは異なる深さにあるように高エネルギー・イオンを注入することであり、およびP形半導体の添加不純物濃度を過剰に補償するように照射量を選択することである。それにより、反対の導電形の領域を生成することができ、そしてP形基板の抵抗値をさらに増大するためのデバイスの設計を提供することができる。

【0018】本発明は、PMOSTランジスタにも同じように応用することができる。この場合には、半導体の導電形とイオン注入の形を単に反対にすればよい。

【0019】本発明により得られる技術的な利点およびその特徴は、本発明の好ましい実施例について、添付図面を参照しての下記説明により理解されるであろう。

【0020】

【実施例】本発明によってもたらされる強い影響は、従来の技術の欠点を明白に示すことによって最も容易に理解することができる。図1は、ESD保護回路の中に通常に用いられる集積回路（IC）部品100の横断面概要図である、すなわち、ESDが起こる期間中に横型バイポーラNPNトランジスタのモードの中で動作し、そして小さなインピーダンスのアースへの電流路を提供するNMOSTランジスタの横断面概要図である。このI

Cは「第1の導電形」の半導体の中に作成される。図1の例では、この「第1の導電形」はP形であり、そしてMOSTランジスタはNMOSTランジスタであり、そして横型バイポーラ・トランジスタはNPNトランジスタである。本発明の製造法では、第1の導電形の半導体は、「基板」および「ウエル」により正味の不純物添加によって生成される。

【0021】ここで定義されるように、「基板」という用語は出発の半導体ウエハを指す。本発明の製造法では、基板は典型的にはP形の添加不純物を有している。説明を明確にするために、この場合はまた下記の説明に対する基礎として選ばれている。けれども、本発明およびすべての説明はまた、基板がN形の添加不純物を有している場合にも適用されることを強調しておかなければならない。図1において、基板は101で示されている。基板101の上に、基板と同じ導電形のエピタクシャル層102が沈着されることが多いが、しかしそれは必ずしも必要というわけではない。この場合には、「基板」という用語はエピタクシャル層102と出発の半導体101とを加えたものを指す。図1で選択された導電形の例では、P形ウエル103が局在化したアクセプタ・イオンを注入しそして焼なましを行うことによって作成された。Nプラス形のソース領域104（バイポーラ・トランジスタのエミッタ）およびドレイン領域105（バイポーラ・トランジスタのコレクタ）が、浅くイオン注入されたドナーによって作成された。エミッタ104とコレクタ105との間の表面は、ゲート酸化物層106によって被覆される。層107、108、109および110により、それぞれ、ゲート、エミッタ、コレクタおよびウエハ裏側体に対する金属接触体が得られる。

【0022】図1はさらに、エミッタ108、ゲート107およびウエハ裏側体110がアース電位に電気的に接続されていることが示されている。ESDが原因となって起こるコレクタの正の電圧スパイクが、コレクタ/ベース接合に逆バイアスを加える。ベースは基板101（デバイスによっては、エピタクシャル層102に基板101を加えたもの）であり、そして空間電荷領域の空乏層は120で示されている。空乏層120の中の電界がブレイクダウン電界を越える時、アバランシが起こり、そして電子/ホール対が形成される。電子はコレクタの中に流れ、そしてホールはP形のベースの中に流れる。

【0023】このホール電流 $I_{sub}$ は、コレクタ接合から基板を通り裏側接触体110に流れ、その結果、抵抗器 $R_{pwell}$ および $R_{sub}$ の両端に電圧降下が生ずる。この電圧降下は、エミッタ/ベース接合に正（順方向）のバイアスとなる。このエミッタの順方向バイアスは、実効「基板抵抗値」に比例する。この実効「基板抵抗値」は、電流路の中の抵抗器成分の和に等しい。電流路の中の抵抗器成分は、図1において $R_{pw}$

e11およびR-subとして概略的に示されている。エミッタからベースの中に注入されそしてコレクタの空乏層に到達する電子の部分は、アバランシ機構に関与するであろう。

【0024】電子の濃度は、アバランシ増倍因子に従って増倍されるであろう。このアバランシ増倍因子は、電界に応じて変化する。その結果として生ずるデバイスのインピーダンスの減少は、電流電圧特性の「スナップ・バック」201に反映される。電流電圧特性のこの「スナップ・バック」201は、バイポーラ・トランジスタの「オンになること」に対応する。図2は、コレクタ電流（またはドレイン電流）I（対数目盛りで表されている）をドレイン電圧V（線形目盛りで表されている）の関数として示したグラフである。図2に示されているように、このスナップ・バック201はコレクタ/ドレイン電圧Vt1とそれに付随するコレクタ/ドレイン電流It1とにおいて起こる。アバランシ増倍因子の電界による変化は、新しい安定な電流/電圧の平衡202を確立する原因である。電子の注入レベルが高いと、ベースの導電率の変調はまたデバイスのインピーダンスを再び正にする方向に寄与する。構型NPNトランジスタは負のESDパルスに対してまた保護を行うことを述べておかななくてはならない。（図1の）コレクタ105はいまはエミッタとして作用し、そしてESD電流を裏側基板接触体110に向けおよびここでコレクタとして作用する逆バイアスされたエミッタ104に向ける。

【0025】デバイスを流れることができる電流の容量は、アバランシ動作をする空乏層の中の熱効果によって制限される。（真性キャリア濃度の増大、キャリアの移動度の減少、熱伝導率の減少、およびトンネル電流に対するポテンシャル障壁の低下のような）数多くの効果が第2ブレイクダウン（熱的ブレイクダウン）の開始（図2の203）に寄与する。第2ブレイクダウンのトリガ電流It2はデバイスの設計に非常に敏感である、特に添加不純物の分布の形状に敏感である。第2ブレイクダウンの結果として接合が溶融し、そして漏洩電流が不可逆的に増大する。したがって、デバイスが正常に動作するためにこのことは避けなければならない。

【0026】図1および図2の前記の説明から、抵抗器R-pwe11および/またはR-subを増大することはエミッタの早期にオンにすることに導くことおよびアバランシ機構に対する電流の寄与が減少することに導くことを結論することは、本発明にとって重要である。このことは、第2ブレイクダウン閾値電流It2の増大に反映される。前記で説明したK.ボック（K. Bock）ほか名の文献の中で指摘されているように、P形ウエルの不純物添加によってP形ウエルの抵抗値R-pwe11、したがってIt2、を変えることができる。けれども、従来の技術は、P形ウエルの抵抗値を増大する方法として、基板の添加不純物濃度（またはエピタキシャル層の

添加不純物濃度）を小さくするまたは不純物注入照射量を少なくすることだけを推奨している。

【0027】図3～図10は、本発明による変更されたP形ウエル不純物添加およびP形ウエル抵抗値R-pwe11の構造を示した図である。図11～図16は、本発明によりR-pwe11を目的に合わせて作成することに対し順応性がありかつ経済的である方法を示した図である。そこで図示されている例はNMOSTランジスタに対する実験に基づく条件を具体化したものであるが、類似の考察はPMOSTランジスタの条件に対しても成り立つ。

【0028】図3は、本発明によるその製造工程の一定の段階におけるICの小さな一部分を（必ずしも正確な尺度ではなく）単純化して示した概要図である。このICでは、300で全体的に示されたMOSTランジスタをその表面に有している。本発明は、半導体基板材料の中に製造されたNMOSTランジスタに対してもまたPMOSTランジスタに対しても応用することができる。ここでは基板は、P形不純物が添加された半導体ウエハ301を有する（デバイスによっては、半導体ウエハ301の上にまたP形不純物が添加されたエピタキシャル層302が沈着される）。説明を明確にするために、P形半導体に対して本発明を説明しそして考察することにする。けれども、もしN形基板が用いられていても、本発明をまた応用することができる。半導体材料はシリコン、シリコン・ゲルマニウム、ヒ化ガリウム、またはICの製造に用いられる他の任意の半導体材料であることができる。

【0029】半導体基板の中にMOSTランジスタが製造されるが、この半導体基板の抵抗率は $1\Omega\text{cm}$ ～ $50\Omega\text{cm}$ の範囲内（これはまたエピタキシャル層の抵抗率でもある）にある。「第1」の導電形のウエル303が基板の中に製造される。NMOSTランジスタの場合にはこの「第1」の導電形はP形であり、そしてPMOSTランジスタの場合にはこの「第1」の導電形はN形である。二酸化シリコンの分離トレンチ304は、P形ウエルの中の横型トランジスタの活性領域を定める。MOSTランジスタのゲート305に対しては、通常は、ポリシリコンまたは他の導電体材料が選定される。ゲート305の通常の厚さ305aは $140\text{nm}$ と $180\text{nm}$ との間にあり、そしてその幅305bは $0.2\mu\text{m}$ と $1.0\mu\text{m}$ との間にあり。ゲート分離体306（二酸化シリコン、窒化物化された $\text{SiO}_2$ 、または他の材料）の物理的な厚さは $1\text{nm}$ と $10\text{nm}$ との間にあり。

【0030】図3には、深いソース310および延長されたソース311と、深いドレイン312および延長されたドレイン313とがさらに示されている。図11～図16に示された処理工程の一部として、延長されたソースおよび延長されたドレインが低エネルギーの浅い注入（注入の典型的な深さは $25\text{nm}$ と $40\text{nm}$ との間にあ

る)によって作成され、深いソースおよび深いドレインは中間のエネルギーの注入(注入の典型的な深さは100nmと140nmとの間にある)によって作成される。イオン注入によって作成される場合、フォトレジスト層330の中の窓330aが用いられる。窓330aは、MOSトランジスタの横方向の広がり活性領域とを定める。本発明の高エネルギーの注入340のために、同じフォトレジストと窓とが用いられる。この注入は、窓330aの開口部の中のウエルの抵抗率を第1の導電形の半導体の抵抗率よりも平均値において少なくとも1桁大きくするように変更するために実行される。けれども、フォトレジスト層330の厚さは、低エネルギーの注入を単に阻止するのに要求される厚さよりも大きい。フォトレジスト層の厚さは、1.5 $\mu$ mと2.0 $\mu$ mとの間にあることが好ましい。中間エネルギーの注入を伴う高エネルギーの注入では、典型的には、非導電体の側壁350がゲート構造体の一部分として存在する。処理工程の中のオプションについては、下記を参照されたい。

【0031】NMOSTランジスタの場合には、半導体ウエルおよび第1の導電形(P形)の基板(任意のエピタキシャル層を含む)は、ホウ素、アルミニウム、ガリウム、およびインジウムを含む群から選定された種類の添加不純物を有する。ソース、ドレイン、それらの延長体、および第1の導電形の半導体の中の抵抗率の高い領域は、ヒ素、リン、アンチモン、およびビスマスを含む群から選定された種類の添加不純物を有する。

【0032】PMOSTランジスタの場合には、第1の導電形(N形)の半導体ウエルは、ヒ素、リン、アンチモン、およびビスマスを含む群から選定された種類の添加不純物を有する。ソース、ドレイン、それらの延長体、および第1の導電形の半導体の中の抵抗率の高い領域は、ホウ素、アルミニウム、ガリウム、インジウム、およびリチウムを含む群から選定された種類の添加不純物を有する。

【0033】NMOSTランジスタの場合を例にとつて、図4および図5は、本発明の高エネルギーのN形不純物注入により得られる添加不純物の分布をコンピュータ・プログラムによってシュミレートし結果として示したグラフである。これらの図は、ホウ素が添加されたシリコン基板材料の中に、675keVのエネルギーでもって $2 \times 10^{13} \text{ cm}^{-2}$ の照射量でリンが注入された時の分布を示している。これらの両方の図の縦軸は添加不純物濃度を対数目盛りで示しており、そして横軸は半導体の表面の中への侵入の深さを $\mu\text{m}$ の単位で示している。出発のホウ素の濃度と注入されたリンの濃度とに加えて、結果として得られた正味の添加不純物濃度が示されている。図4には(図3に示されたような)深いソースおよび深いドレインの下分布が示されており、そして図5にはポリシリコンのゲートの下分布が示されている。

【0034】図4に示されているように、P形基板材料

のオリジナルのホウ素の添加不純物濃度(曲線402)の中に反対形の不純物であるリン(曲線401)が高エネルギーで注入される結果、実質的に小さな正味の添加不純物濃度(曲線403)が得られる。したがって、その結果として得られる抵抗率は増大する。この例では、結果として得られる抵抗率は、0.2 $\mu\text{m}$ と0.8 $\mu\text{m}$ との間の深さでは第1近似において均一である。

【0035】図5のコンピュータ・シュミレーションは、オリジナルのP形のホウ素の添加不純物濃度(曲線502)の中に図4と同じ反対形の不純物であるリン(曲線501)が注入される結果、ゲートの下に一層に小さな正味の添加不純物濃度(曲線503)が得られる。もちろん、ゲートの下には接合は存在しない。ゲートには、ゲートの作成の期間中の独立の処理工程段階によって、リン不純物が大量に添加される。

【0036】本発明の反対形の不純物を添加する方法によりESDに対する耐性が劇的に改良されることは、図6および図7の実データのデータによって明確に示されている。図6は、P形のホウ素添加基板シリコンの中に反対形のリン不純物が高エネルギーで注入されたいくつかの例を示したグラフである。リンは450keVのエネルギーで注入される。グラフの点は、測定された第2ブレイクダウン閾値電流 $I_{t2}$ (mA/ $\mu\text{m}$ で表されている)をトランジスタのチャネルの幅 $W$ ( $\mu\text{m}$ で表されている)の関数として示したものである。ダイヤモンド形のデータ601は、反対形の不純物の注入が行われない場合の測定点である。2つの異なる照射量で注入が実行されるが注入の後に焼なましが行われた場合または行われない場合(三角形および四角形のデータ)の測定点が示されている。最も好ましい結果は、602で示された三角形で表された注入によって得られた。この注入の条件は、照射量が $8 \times 10^{12} \text{ cm}^{-2}$ で温度1050°Cで4秒間焼なましが行われた場合である。

【0037】この特定の注入条件の重要な影響は、図7の曲線のデータによって表されている。プロットされた点は、ドレイン電流 $I_d$ (mA/ $\mu\text{m}$ で表されている)をドレイン電圧 $V_d$ (Vで表されている)の関数として表されている。図2とは異なって、図7の $I_d$ は線形目盛りで示されている。点線の曲線701は本発明の反対形の不純物を注入するという助けを借りない場合の結果を示し、そして実線の曲線701は450keVのエネルギーでもって $8 \times 10^{12} \text{ cm}^{-2}$ の照射量でリンを注入しそして温度1050°Cで4秒間焼なましが行われた場合の結果を示す。注入を行った場合に観察される $I_d$ の値 $I'_{t2}$ (点704)は、注入を行わなかった場合の $I_d$ の値 $I_{t2}$ (点703)よりも大幅に高い。本発明の高エネルギーでリンを付加的にイオン注入することに基づくP形ウエルの中の正味のP形不純物添加濃度の減少は、すなわちP形ウエルの抵抗値の増大は、 $I_{t2}$ を2の因子を越えて改良することになる。したがって、本発明の付加

的なイオン注入は、MOSトランジスタのESDに対する耐性を大幅に増強する。

【0038】本発明のまた別の実施例が図8、図9、および図10に示されている。これらの実施例は、NMOSTランジスタを再び例として用いている。この実施例は、本発明の大きな多用途性を示している。図8（曲線802）および図9（曲線902）のP形ウエルの実効P形ホウ素不純物添加濃度は、それぞれ、図4（曲線402）および図5（曲線502）のホウ素不純物添加濃度と同じである。けれども、反対形の添加不純物であるリンの注入は、いくらか低エネルギー（図4および図5では675keVのエネルギーであったのに対して、図8および図9では500keVのエネルギー）において $2 \times 10^{13} \text{ cm}^{-2}$ の同じ照射量で行われるように選定される。したがって、表面の下でのピーク侵入深さはいくらか小さい。図8（深いソース/ドレインの下の不純物添加濃度）の曲線801では、リンのピーク侵入深さは $0.5 \mu\text{m}$ から $0.7 \mu\text{m}$ までの範囲内にあり、これは図4の曲線401に対しては $0.7 \mu\text{m}$ から $0.9 \mu\text{m}$ までの範囲であったのと比べられる。けれども、正味の不純物添加濃度を示す曲線803は、図4で達成された正味の不純物添加濃度を示す曲線403とは大幅には異なる。

【0039】それとは対照的に、図9に示されているように、リンの不純物添加ピークのさらに浅い侵入深さ（曲線901）は、ポリシリコン・ゲートの下で重要な影響を有する。約 $0.2 \mu\text{m}$ から約 $0.5 \mu\text{m}$ にまでの深さに広がっている領域910では、リンの添加量はホウ素の添加量（曲線902）を越えて過剰に補償を行い、それによりP形ウエルの中に埋め込まれたわずかにN形の局所領域が生ずる。

【0040】この現象は、図10のNMOSTランジスタ（1000で全体的に示されており、そしてこの図は必ずしも正しい尺度で描かれているわけではない）によって概要が示されている。図10は図3と同様の図である。フォトレジスト層1030の中の窓1030aを通してP形ウエル1003の中にリンを注入する（500keVのエネルギーにおいて $2 \times 10^{13} \text{ cm}^{-2}$ の照射量で行われる）ことにより、P形ウエルの導電度とは反対形であるN形の導電度を有する領域1050が作成される。体積領域1050は、ゲート1005の真下の位置にありそして注入エネルギーによって定められる深さにある。体積領域1050の横方向の広がり、ゲート1005の幅1005bにはほぼ等しい。体積領域1050の正確な境界は、P形ウエルの添加不純物分布の形状と補償用イオン注入との詳細な重ね合わせによって決定される。体積領域1050が出現することによるESDへの影響は、体積領域1050がトランジスタ1000の基板電流の流れをさらに妨げるという事実から得られる。

【0041】図11から図16までの簡略化された概要図は、基板の抵抗値が増大しているIC MOSトラン

ジスタを製造するための方法と処理工程をNMOSTランジスタを例にとった場合についてに説明した図である。PMOSTランジスタを製造する場合に対しても、類似の処理工程段階を応用することができる。

【0042】● 図11：P形半導体1101を基板として選定する段階。P形半導体1101はエピタクシャル材料であることもできる。

【0043】● 図11：NMOSTランジスタの活性領域の横方向の境界を定めるためにP形半導体1101の中に非導電体の電気的分離領域1104を作成する段階。

【0044】● 図11：P形ウエル領域1103を予め定められたピーク添加不純物濃度（例えば、 $4 \times 10^{17} \text{ cm}^{-3}$ と $1 \times 10^{18} \text{ cm}^{-3}$ との間の濃度）に作成するために半導体1101のバックグラウンドの添加不純物レベルを調整するようにP形不純物イオンまたはN形不純物イオンを注入する段階。

【0045】● 図12：ゲート誘電体として適切な絶縁体材料の層1201を表面1200の上に沈着してトランジスタ領域を被覆する段階。

【0046】● 図12：絶縁体層1201の上にポリシリコンまたは他の導電体材料の層1202を沈着する段階。

【0047】● 図12：トランジスタのゲート1204のゲート領域1203を定めるために、ポリシリコン1202の一部分を保護する段階およびその残りの部分をエッチングする段階。

【0048】● 図13：低エネルギーのイオン注入を阻止するだけに必要な厚さよりも大きな厚さ（ $1.5 \mu\text{m}$ の厚さ）に第1フォトレジスト層1300を沈着する段階。層1300の中に窓1301を開ける段階および分離領域1104の間のトランジスタ領域の表面を露出する段階。

【0049】● 図13：トランジスタの延長されたソースおよび延長されたドレインとして適切なN形不純物が添加された浅い層1303を表面の下に生成するために、この露出された表面領域の中にN形不純物イオン1302を低エネルギーで注入する段階。これらのイオンのエネルギーは、 $10 \text{ nm}$ と $50 \text{ nm}$ との間の深さに接合を生成するように選定される。ピーク濃度が約 $5 \times 10^{17} \text{ cm}^{-3}$ と約 $5 \times 10^{20} \text{ cm}^{-3}$ との間にある。

【0050】● 図13：トランジスタの活性領域から離れた位置のP形半導体のP形不純物濃度よりも低い正味のP形不純物濃度を有する深い層1305を表面の下に生成するために、この露出された表面領域の中にN形不純物イオン1304を高エネルギーで注入する段階。 $20 \text{ nm}$ 以上の深さにおいて約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ までの濃度を達成するために、これらのイオンのエネルギーが約 $400 \text{ keV}$ と約 $550 \text{ keV}$ との間にありそして照射量は $5 \times 10^{12} \text{ cm}^{-2}$ と $2 \times 10^{13} \text{ cm}^{-2}$ との間



にある。高エネルギーでイオンを注入した後、例えば温度  $1050^{\circ}\text{C}$  で4秒間焼なましを行う段階。低濃度の正味のP形不純物は、トランジスタ深いソース領域および深いドレイン領域のPN接合の下で、約  $1 \times 10^{17} \text{ cm}^{-3}$  ないし約  $6 \times 10^{17} \text{ cm}^{-3}$  のピーク濃度を有する。

【0051】● 図13：第1フォトレジスト層1300を除去する段階。

【0052】● 図14および図15：表面の上に窒化シリコンまたは二酸化シリコンのような絶縁体の整合した絶縁体層1400および1401を沈着する段階、およびポリシリコンのゲート1204の周りの側壁1500だけが残るように、これらの絶縁体層に指向性プラズマ・エッチングを行う段階。

【0053】● 図16：第2フォトレジスト層1600を沈着する段階、および分離領域1104の間の面積領域の表面を露出するために、この第2フォトレジスト層1600の中に窓1601を開ける段階。

【0054】● 図16：表面の下で中間の深さにまで延長されそしてトランジスタの深いソースおよび深いドレインとして適切であるN形不純物が添加された領域1603を生成するために、この露出された表面領域の中にN形不純物イオン1602を中間のエネルギーでもって注入する段階。これらのイオンのエネルギーは、50nmと200nmとの間の深さに接合を生成するように選定される。ピーク濃度は、約  $5 \times 10^{19} \text{ cm}^{-3}$  と約  $5 \times 10^{20} \text{ cm}^{-3}$  との間にある。

【0055】● 図16：第2フォトレジスト層1600を除去する段階。

【0056】前記の処理工程の流れにおいて、高エネルギーでN形不純物イオンを注入する本発明の段階は、図13に示された段階において低エネルギーの注入に続いて実行することができる、または図16に示された段階において中間のエネルギーの注入に続いて実行することができる。

【0057】P形半導体の添加不純物量を過剰に補償してP形ウエルの中に埋め込まれた反対の導電形の体積領域を生成する（本発明の第2実施例、図10を見よ）ために、P形半導体とは異なる深さにおけるピーク濃度のために400keVと700keVとの間のエネルギーでの高エネルギーにおいてイオンの注入が選定される。照射量は、約  $8 \times 10^{12} \text{ cm}^{-2}$  と約  $8 \times 10^{13} \text{ cm}^{-2}$  との間の範囲内にある。

【0058】本発明の方法によりPMOSTランジスタを製造するために、導電形を反対にした類似の方式で前記の工程段階を適用することができる。

【0059】本発明が例示された実施例について説明されたが、この説明は本発明の範囲がこの説明に限定されることを意味するものではない。例示された実施例を種々に変更した実施例および種々に組み合わせた実施例および本発明の他の実施例が可能であることは、前記説明

を参照すれば当業者には容易に分かるであろう。したがって、このような変更実施例および組合せ実施例はすべて、本発明の範囲内に包含されるものと理解しなければならない。

【0060】以上の説明に関して更に以下の項を開示する。

(1) 第1導電形の半導体の中に製造され、少なくとも1個の横型MOSトランジスタを表面に有する集積回路であって、中央に配置されたゲートにまで延長された反対の導電形の領域を前記表面におのおのが有しそして前記トランジスタの活性領域を定めるソースおよびドレインと、前記半導体の残りの部分よりも大きな抵抗率を有し、前記トランジスタの下で垂直方向に延長されているがしかし一方において前記ゲートの下の抵抗率が前記ソースおよび前記ドレインの下の抵抗率と異なるように横方向には前記トランジスタの面積領域に限定されている、前記第1導電形の前記半導体の中の半導体領域と、を有する集積回路。

【0061】(2) 第1項記載の回路において、第1導電形の前記半導体が半導体エピタクシャル層である回路。

(3) 第1項記載の回路において、前記半導体材料がシリコン、シリコン・ゲルマニウム、ヒ化ガリウム、および集積回路の製造に用いられる他の任意の半導体材料から成る群から選定される回路。

(4) 第1項記載の回路において、第1導電形の前記半導体の中の抵抗率の大きな前記領域が第1導電形の前記半導体の抵抗率よりも少なくとも1桁大きい抵抗率を有する回路。

(5) 第1項記載の回路において、第1導電形の前記半導体が約  $1 \Omega \text{ cm}$  から  $50 \Omega \text{ cm}$  までの範囲の抵抗率のP形シリコンで作成され、および前記ソース、前記ドレインおよびそれらの延長体がN形シリコンで作成される回路。

(6) 第1項記載の回路において、第1導電形の前記半導体がホウ素、アルミニウム、ガリウムおよびインジウムから成る群から選定された種類の添加不純物を有し、一方、前記ソース、前記ドレイン、それらの延長体、および第1導電形の前記半導体の中の抵抗率の大きな前記領域がヒ素、リン、アンチモンおよびビスマスから成る群から選定された種類の添加不純物を有する回路。

(7) 第1項記載の回路において、第1導電形の前記半導体が約  $5 \Omega \text{ cm}$  から  $50 \Omega \text{ cm}$  までの範囲の抵抗率のN形シリコンで作成され、および前記ソース、前記ドレインおよびそれらの延長体がP形シリコンで作成される回路。

(8) 第1項記載の回路において、第1導電形の前記半導体がヒ素、リン、アンチモン、ビスマスおよびリチウムから成る群から選定された種類の添加不純物を有

し、一方、前記ソース、前記ドレイン、それらの延長体、および第1導電形の前記半導体の中の抵抗率の大きな前記領域がホウ素、アルミニウム、ガリウム、インジウムおよびリチウムから成る群から選定された種類の添加不純物を有する回路。

(9) 第1項記載の回路において、前記ゲートが約0.2 $\mu\text{m}$ から約1.0 $\mu\text{m}$ までの小さな寸法を有する回路。

(10) 第1項記載の回路において、抵抗率の大きな前記領域が、隣接する活性デバイスの動作に影響を及ぼさないで前記トランジスタを十分に機能させることができる、前記トランジスタの基板である回路。

(11) 第10項記載の回路において、抵抗率の大きな前記領域が、ラッチ・アップ耐性を減少させることなくまたは隣接するトランジスタの偶然の基板電流で誘起されるボディ・バイアス作用を増大させることなく、前記トランジスタのESDに対する保護をさらに改良する回路。

【0062】(12) 第1導電形の半導体の中に製造され、少なくとも1個の横型MOSトランジスタを表面に有する集積回路であって、中央に配置されたゲートにまで延長された反対の導電形の領域を前記表面におののが有しそして前記トランジスタの活性領域を定めるソースおよびドレインと、前記半導体の残りの部分よりも大きな抵抗率を有し、前記トランジスタの下で垂直方向に延長されているがしかし横方向には前記トランジスタの前記領域に限定されており、前記反対の導電形の体積領域が前記領域の中に埋め込まれ、それにより前記体積領域が前記トランジスタからの基板電流の流れをさらに妨げている、前記第1導電形の前記半導体の中の半導体領域と、を有する集積回路。

(13) 第12項記載の回路において、第1導電形の前記半導体が半導体エピタキシャル層である回路。

【0063】(14) ゲートを備えた高電圧NMOSトランジスタの活性領域の下でP形半導体の抵抗率を増大する方法であって、前記トランジスタの上にフォトレジスト層を沈着する段階、および前記トランジスタの前記活性領域の上の前記層に窓を開ける段階と、前記トランジスタの前記活性領域から離れた前記P形半導体の添加不純物量よりも小さな正味のP形添加不純物量を有する深い領域を生成するために、前記P形半導体の中に前記窓を通してN形不純物を高エネルギーで注入する段階と、を有する方法。

【0064】(15) 前記集積回路のP形半導体の中に増大した基板抵抗値を有するNMOSトランジスタを集積回路の表面に製造する方法であって、前記NMOSトランジスタの活性領域の横方向の境界を定めるために前記P形半導体の中に非導電体の分離領域を作成する段階と、前記P形半導体のバックグラウンドの添加不純物レベルを調整するためにP不純物イオンまたはN形不純物イオンを注入する段階と、前記トランジスタの面積積

域を被覆するためにゲート誘電体として適切である絶縁体材料の層を前記表面の上に沈着する段階と、前記絶縁体層の上にポリシリコンまたは他の導電体材料の層を沈着する段階と、前記トランジスタのゲート領域を定めるために、前記ポリシリコンの一部を保護する段階、およびその残っている部分にエッチングを行う段階と、第1フォトレジスト層を沈着する段階、および前記分離領域の間の前記面積領域の表面を露出するために前記第1フォトレジスト層の中に窓を開ける段階と、前記トランジスタの延長されたソースおよび延長されたドレインとして適切であるN形不純物が添加された浅い層を前記表面の下に生成するために、前記露出された表面領域の中にN形不純物イオンを低エネルギーで注入する段階と、前記トランジスタの活性領域から離れた前記P形半導体の添加不純物量よりも小さな正味のP形添加不純物量を有する深い領域を前記表面の下に生成するために、前記露出された表面領域の中にN形不純物のイオンを高エネルギーで注入する段階と、前記第1フォトレジスト層を除去する段階と、窒化シリコンまたは二酸化シリコンのような絶縁体の整合した絶縁体層を前記表面の上に沈着する段階、および前記ポリシリコン・ゲートの周りの側壁のみが残るように前記絶縁体層に指向性プラズマ・エッチングを行う段階と、第2フォトレジスト層を沈着する段階、および前記分離領域の間の前記面積領域の表面を露出するために、前記第2フォトレジスト層の中に窓を開ける段階と、前記トランジスタの深いソースおよび深いドレインとして適切であるN形不純物が添加された領域を前記表面の下で中間の深さにまで延長して生成するために、前記露出された表面領域の中にN形不純物のイオンを中間のエネルギーで注入する段階と、前記第2フォトレジスト層を除去する段階と、を有する方法。

【0065】(16) 第15項記載の方法において、前記第1フォトレジスト層の厚さが前記低エネルギーのイオンの注入を単に阻止するのに必要な厚さよりも大きい方法。

(17) 第15項記載の方法において、前記高エネルギーでの注入体を高い温度で焼なましする段階をさらに有する方法。

(18) 第15項記載の方法において、前記N形不純物イオンを中間のエネルギーで注入する前記処理工程段階の後、前記N形不純物イオンを高エネルギーで注入する変更された処理工程段階を有する方法。

(19) 第15項記載の方法において、前記P形半導体が、前記バックグラウンド不純物添加調整注入の後、 $4 \times 10^{17} \text{ cm}^{-3}$ と $1 \times 10^{18} \text{ cm}^{-3}$ との間のピーク添加不純物濃度を有する方法。

(20) 第15項記載の方法において、前記低エネルギーのイオンの前記注入が10nmと50nmとの間の深さに接合を生成するためにおよび約 $5 \times 10^{17} \text{ cm}^{-3}$ から $5 \times 10^{20} \text{ cm}^{-3}$ までのピーク濃度を生成するために適切であ

るエネルギーのイオンを有する方法。

(21) 第15項記載の方法において、中間のエネルギーのイオンの前記注入が50nmと200nmとの間の深さに接合を生成するためにおよび約 $5 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ までのピーク濃度を生成するために適切であるエネルギーを有するイオンで行われる方法。

(22) 第15項記載の方法において、200nm以上の深さに約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ までの濃度を達成するために、高エネルギーのイオンの前記注入が約400keVから約550keVまでの範囲のエネルギーを有するイオンでありおよび $5 \times 10^{12} \text{ cm}^{-2}$ から約 $2 \times 10^{13} \text{ cm}^{-2}$ までの照射量で行われる方法。

(23) 第15項記載の方法において、ピーク濃度が前記P形半導体のピーク濃度とは異なる深さにあるように高エネルギーのイオンの前記注入が約400keVから約700keVまでの範囲のエネルギーを有するように選定されたイオンで行われ、および前記P形半導体の添加不純物濃度を過剰に補償するためにそして反対の導電形の領域を生成するために、前記注入が約 $8 \times 10^{12} \text{ cm}^{-2}$ から約 $8 \times 10^{13} \text{ cm}^{-2}$ までの範囲の照射量で行われる方法。

(24) 第15項記載の方法において、低い濃度の前記正味のP形添加不純物濃度が前記トランジスタの深いソース領域および深いドレイン領域のPN接合の下に約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ のピーク濃度を有する方法。

【0066】(25) ゲートを有する高電圧PMOSTランジスタの活性領域の下にN形半導体の抵抗率を増大する方法であって、前記トランジスタの上にフォトレジスト層を沈着する段階、および前記トランジスタの前記活性領域の上の前記層の中に窓を開ける段階と、前記トランジスタの活性領域から離れた前記N形半導体の不純物添加濃度よりは小さな正味のN形不純物添加濃度を有する深い領域を生成するために、前記N形半導体の中に前記窓を通してP形不純物イオンを高いエネルギーで注入する段階と、を有する方法。

【0067】(26) 集積回路のN形半導体の中に増大した基板抵抗値を有するPMOSTランジスタを集積回路の表面に製造する方法であって、前記PMOSTランジスタの活性領域の横方向の境界を定めるために非導電体の電気的分離領域を前記N形半導体の中に作成する段階と、前記N形半導体のバックグラウンドの不純物添加レベルを調整するためにN形不純物Pまたは形不純物を注入する段階と、前記トランジスタの面積領域を被覆するために、ゲート誘電体として適切である絶縁体材料の層を前記表面の上に沈着する段階と、ポリシリコンまたは他の導電体材料の層を前記絶縁体層の上に沈着する段階と、前記ポリシリコンの一部分を保護する段階、および前記トランジスタのゲート領域を定めるために、その残りの部分にエッチングを行う段階と、第1フォトレジスト層を沈着する段階、および前記分離領域の間の前

記面積領域の表面を露出するために、その中に窓を開ける段階と、前記トランジスタの延長されたソースおよび延長されたドレインとして適切であるP形不純物が添加された浅い層を前記表面の下に生成するために、前記露出された表面領域の中にP形不純物のイオンを低エネルギーで注入する段階と、前記トランジスタの活性領域から離れた前記N形半導体の添加不純物濃度よりも小さな正味のN形不純物濃度を有する深い領域を前記表面の下に生成するために、前記露出された表面領域の中にP形不純物のイオンを高エネルギーで注入する段階と、前記第1フォトレジスト層を除去する段階と、窒化シリコンまたは二酸化シリコンのような絶縁体の整合した絶縁体層を前記表面の上に沈着する段階、および前記ポリシリコン・ゲートの周りの側壁だけが残るように前記絶縁体層に指向性プラズマ・エッチングを行う段階と、第2フォトレジスト層を沈着する段階、および前記絶縁体領域の間の前記面積領域の表面を露出するために、その中に窓を開ける段階と、前記表面の下に中間の深さにまで延長されそして前記トランジスタの深いソースおよび深いドレインとして適切であるP形不純物添加領域を生成するために、前記露出された表面領域の中にP形不純物のイオンを中間のエネルギーで注入する段階と、前記第2フォトレジスト層を除去する段階と、を有する方法。

【0068】(27) 第26項記載の方法において、前記P形不純物のイオンを中間のエネルギーで注入する前記処理工程段階の後、前記P形不純物のイオンを高エネルギーで注入する変更された処理工程段階を有する方法。

(28) 第26項記載の方法において、前記N形半導体が前記バックグラウンド不純物添加調整注入の後 $4 \times 10^{17} \text{ cm}^{-3}$ と $1 \times 10^{18} \text{ cm}^{-3}$ との間のピーク添加不純物濃度を有する方法。

(29) 第26項記載の方法において、低エネルギーのイオンを注入する前記段階が接合を10nmと50nmとの間の深さに生成するためにおよび約 $5 \times 10^{17} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ までのピーク濃度を生成するために適切であるエネルギーを有するイオンで行われる方法。

(30) 第26項記載の方法において、中間のエネルギーのイオンを注入する前記段階が接合を50nmと200nmとの間の深さに生成するためにおよび約 $5 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ までのピーク濃度を生成するために適切であるエネルギーを有するイオンで行われる方法。

(31) 第26項記載の方法において、200nm以上の深さにおいて約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ までの濃度を達成するために、高エネルギーのイオンを注入する前記段階が約400keVから約550keVまでの範囲のエネルギーのイオンでありおよび約 $5 \times 10^{12} \text{ cm}^{-2}$ から約 $2 \times 10^{13} \text{ cm}^{-2}$ までの照射量で行われる方法。

(32) 第26項記載の方法において、高エネルギーのイオンを注入する前記段階が、ピーク濃度が前記N形半

導体のピーク濃度の深さとは異なる深さにあるように約400keVから約700keVまでの範囲のエネルギーに選択されたイオンで、および前記N形半導体の添加不純物濃度を過剰に補償するためにおよび反対の導電形の領域を生成するために約 $8 \times 10^{12} \text{ cm}^{-2}$ から約 $8 \times 10^{13} \text{ cm}^{-2}$ までの範囲の照射量で行われる方法。

(33) 第26項記載の方法において、低濃度の前記正味のN形不純物添加が前記トランジスタの深いソースおよび深いドレインのPN接合の下で約 $1 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ までのピーク濃度を有する方法。

【0069】(34) 第1導電形の半導体1003の中に製造された集積回路の表面の上に配置された横型MOSTランジスタ1000の構造体およびその製造法が提供される。横型MOSTランジスタ1000はソースおよびドレインを有し、そのおのおの、中央に配置されたゲート1005にまで延長されそして前記トランジスタの活性領域を定める、反対の導電形の領域をその表面に有する。第1導電形の前記半導体の中の半導体領域1050は、半導体の残りの部分よりも大きな抵抗率を有する。この領域1050はトランジスタの下で垂直方向に延長されているが、しかしゲート1005の下では抵抗率がソース領域およびドレイン領域の下では異なるように、横方向にはトランジスタの領域に限定されている。

【図面の簡単な説明】

【図1】横型MOSTランジスタの簡略化された横断面概要図であって、静電気放電が起った場合の電流の流れを示している。

【図2】ドレイン（コレクタ）電流（対数目盛りで示されている）をドレイン電圧（線形目盛りで示されている）の関数として概要を示したグラフであって、第2ブレークダウン現象を示している。

【図3】本発明の第1実施例による窓を備えたフォトレジストを有する横型MOSTランジスタの横断面概要図であって、フォトレジストに開けられたこの窓を通して高エネルギーのイオン注入が行われる。

【図4】本発明の第1実施例による高エネルギーのN形不純物注入の前および後におけるNMOSTランジスタの

ソースおよびドレインの下の添加不純物の分布を示したグラフ。

【図5】本発明の第1実施例による高エネルギーのN形不純物の注入の前および後におけるNMOSTランジスタのゲートの下での添加不純物の分布を示したグラフ。

【図6】本発明の第1実施例によるN形イオン注入のいくつかの値照射量に対して、第2ブレークダウン閾値電流をトランジスタの幅の関数として表したグラフ。

【図7】本発明による補償のためのイオン注入を行わなかった場合および行った場合の横型MOSTランジスタの測定された高電流のI-V特性を示したグラフ。

【図8】本発明の第2実施例による高エネルギーのN形不純物注入の前および後におけるNMOSTランジスタのソースおよびドレインの下の添加不純物の分布を示したグラフ。

【図9】本発明の第2実施例による高エネルギーのN形不純物注入の前および後におけるNMOSTランジスタのゲートの下での添加不純物の分布を示したグラフ。

【図10】本発明の第2実施例による高エネルギーのイオン注入のために開けられたフォトレジストの窓を有する横型MOSTランジスタの横断面概要図。

【図11】本発明による製造工程の初期の段階におけるMOSTランジスタの簡略化された横断面概要図。

【図12】図11の次の段階におけるMOSTランジスタの簡略化された横断面概要図。

【図13】図12の次の段階におけるMOSTランジスタの簡略化された横断面概要図。

【図14】図13の次の段階におけるMOSTランジスタの簡略化された横断面概要図。

【図15】図14の次の段階におけるMOSTランジスタの簡略化された横断面概要図。

【図16】図15の次の段階におけるMOSTランジスタの簡略化された横断面概要図。

【符号の説明】

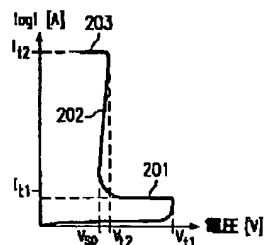
1005 ゲート

1050 半導体領域

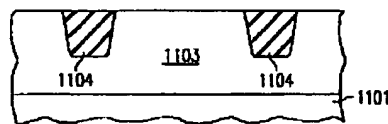
310、311、1303、1603 ソース

312、313、1303、1603 ドレイン

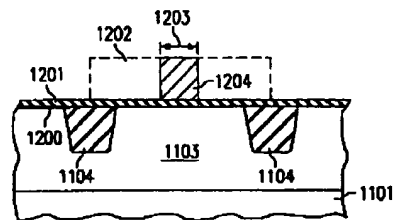
【図2】



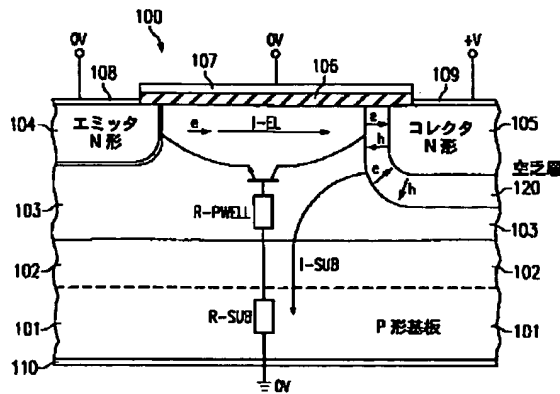
【図11】



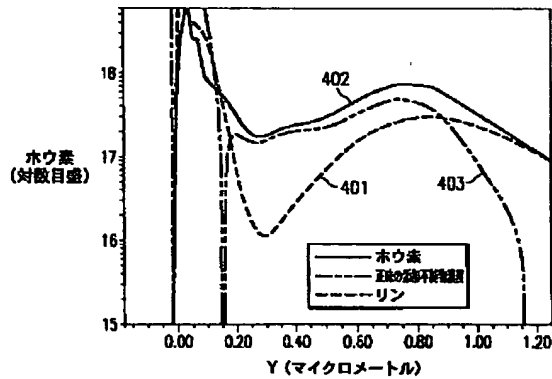
【図12】



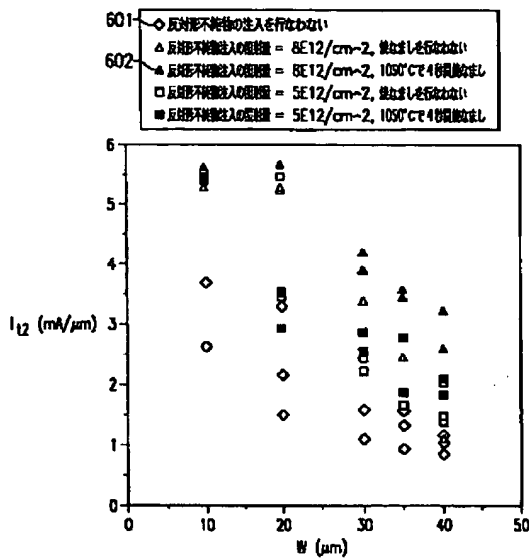
【図1】



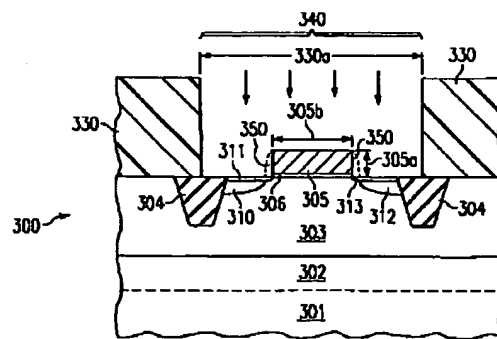
【図4】



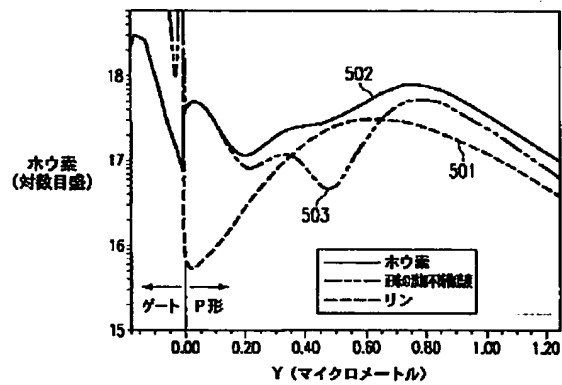
【図6】



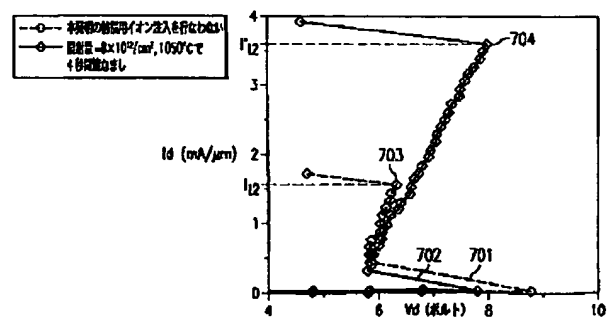
【図3】



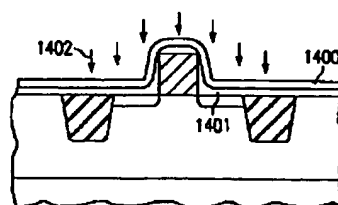
【図5】



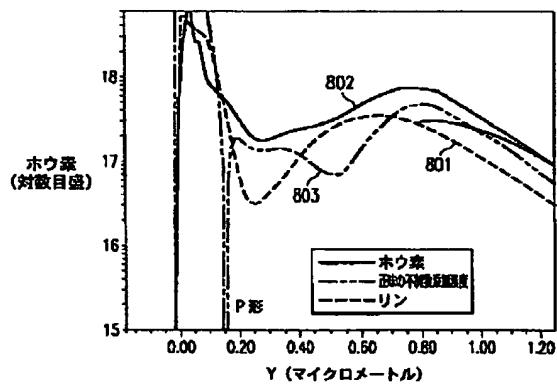
【図7】



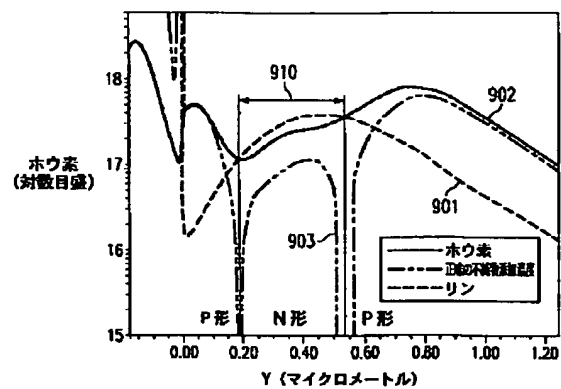
【図14】



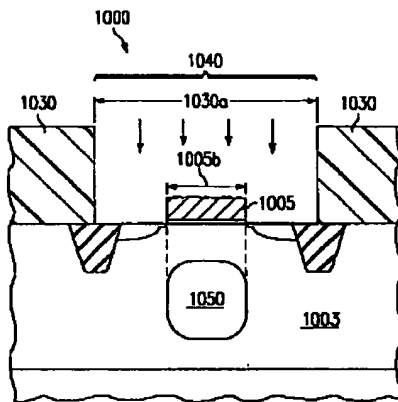
【図8】



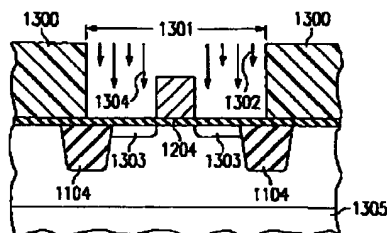
【図9】



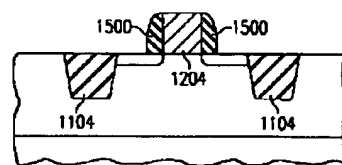
【図10】



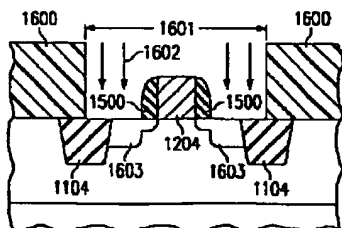
【図13】



【図15】



【図16】



フロントページの続き

(72)発明者 チェー ジェン フー  
アメリカ合衆国 テキサス、プラノ、パ  
ー オーク ドライブ 6760

Fターム(参考) 5F048 AA02 AC01 AC10 BA02 BC06  
BC07 BG14 CC01 CC08 CC10  
5F140 AA38 BA01 BA05 BA07 BA16  
BD09 BF01 BF04 BG08 BG12  
BG14 BH15 BH40 BH49 BK02  
BK13 CB04 CB08 CD02 CE19  
DA01